

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2001年6月21日 (21.06.2001)

PCT

(10)国際公開番号  
WO 01/44957 A1

(51)国際特許分類<sup>7</sup>: G06F 13/28, 13/38, H04N 5/91 (74)代理人: 杉浦正知(SUGIURA, Masatomo); 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo (JP).

(21)国際出願番号: PCT/JP00/08892 (81)指定国(国内): CN, JP, KR, US.

(22)国際出願日: 2000年12月15日 (15.12.2000) (84)指定国(広域): ヨーロッパ特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(25)国際出願の言語: 日本語 (添付公開書類:  
— 国際調査報告書  
— 補正書)

(26)国際公開の言語: 日本語

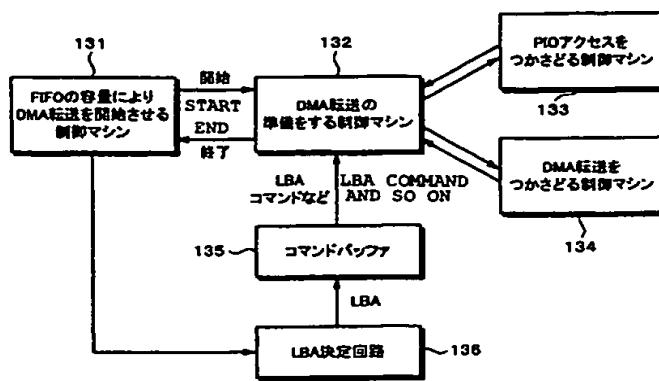
(30)優先権データ:  
特願平11/358634 1999年12月17日 (17.12.1999) JP

(71)出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

(72)発明者: および  
(75)発明者/出願人(米国についてのみ): 森永剛男 (MORINAGA, Takeo) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(54)Title: DEVICE AND METHOD FOR PROCESSING INFORMATION AND RECORDED MEDIUM

(54)発明の名称: 情報処理装置および方法、並びに記録媒体



131...CONTROL MACHINE FOR STARTING DMA TRANSFER ACCORDING TO CAPACITY OF FIFO  
 132...CONTROL MACHINE FOR PREPARING DMA TRANSFER  
 133...CONTROL MACHINE FOR CONTROLLING PIO ACCESS  
 134...CONTROL MACHINE FOR CONTROLLING DMA TRANSFER  
 135...COMMAND BUFFER  
 136...LBA DETERMINATION CIRCUIT

(57)Abstract: Triggered by an amount of data stored in a FIFO way, a control machine for starting DMA transfer according to the capacity of the FIFO instructs a control machine for preparing DMA transfer to start preparation of a command to carry out DMA transfer. The control machine for preparing DMA transfer issues a prepared command to a control machine for controlling DMA data transfer and the processing is started according to the command. The load of the DMA transfer on a host CPU is lightened.

WO 01/44957 A1

[締葉有]



---

(57) 要約:

FIFOに記憶されているデータ量をトリガーとし、FIFOの容量によりDMA転送を開始させる制御マシンは、DMA転送の準備をする制御マシンに、DMA転送のためのコマンドなどの準備を開始させる。DMA転送の準備をする制御マシンは、DMAデータの転送をつかさどる制御マシンに、準備したコマンドを発行し、そのコマンドに従った処理が開始される。DMA転送の際に、ホストCPUの負担が軽減される。

## 明細書

## 情報処理装置および方法、並びに記録媒体

## 技術分野

この発明は情報処理装置および方法、並びに記録媒体に関し、特に  
5 DMA転送を行う際に、ホストCPUの負担を軽減させるのに適した情報処理装置および方法、並びに記録媒体に関する。

## 背景技術

近年、デジタル放送が本格的に開始され、各種のデジタル放送受信装置が商品化されている。それらの装置の中には、受信したデジタル  
10 放送番組を記録するためのハードディスクなどの蓄積デバイスを内蔵したものがある。第1図は、従来技術による、デジタル放送を受信するデジタル放送受信装置に、蓄積デバイスとしてのハードディスクドライブ15を内蔵させたものの構成例を示している。

このデジタル放送受信装置は、図示せぬ放送局からのデジタル放送番組としてのトランSPORTストリームを受信し、そのトランSPORTストリームとしての画像や音声を表示等することができる他、そのトランSPORTストリームを記録しておき、後で、その記録したトランSPORTストリームを再生することもできるようになっている。

即ち、アンテナ11では、デジタル放送波が受信され、その受信信号は、チューナ12に出力される。チューナ12は、アンテナ11からの受信信号の復調等を行い、トランSPORTストリームを得て、デスクランプ13に供給する。デスクランプ13は、CPU1の制御の下、チューナ12からのトランSPORTストリームにかけられているスクランブルを、CPU1から供給される復号キーを用いて解き  
25 、ハードディスク制御部14に出力する。

デスクランプ13が出力するトランSPORTストリーム（以下、

適宜、受信トランSPORTストリームという)は、ハードディスク制御部14のP I D(Packet Identification)バーサ21およびスイッチ31に供給されるようになっている。また、スイッチ31には、受信トランSPORTストリームの他、ハードディスクドライブ15から5再生されるトランSPORTストリームもトランスマッタ26を介して供給されるようになっている。

受信トランSPORTストリームを再生する場合には、スイッチ31は、そこに入力される2つのトランSPORTストリーム(受信トランSPORTストリームと、トランスマッタ26から供給されるトランス10ポートストリーム)のうちの、受信トランSPORTストリームを選択し、出力トランSPORTストリームとして、MVリンクIC(MVLink-IC(MPEG(Moving Picture Experts Group) Link Integrated Circuit))16に出力する。

MVリンクIC16は、出力トランSPORTストリームに対して、15IEEE(Institute of Electrical and Electronics Engineers)1394シリアルバスのレイヤ構造におけるリンク層の処理等を施し、ファイIC(PHY-IC)17に出力する。あるいは、MVリンクIC16は、出力トランSPORTストリームを、DEMUX(デマルチプレクサ)18に出力する。

20ここで、ファイIC17は、IEEE1394シリアルバスのレイヤ構造におけるリンク層の処理を行うようになっており、MVリンクIC16から、出力トランSPORTストリームを受信した場合には、その出力トランSPORTストリームを、IEEE1394シリアルバスを介して、図示せぬIEEE1394機器に、アイソクロナス(Iso25chronous)転送する。

DEMUX18は、図示せぬマイクロコンピュータやメモリ等を有

し、MVリンクIC16からの出力トランSPORTストリームを構成するトランSPORTパケット（以下、適宜、TSパケットという）から、セクションのデータ（PAT（Program Association Table）や、PMT（Program Map Table）、トランSPORTストリームのスクランブルをデスクランブルするための復号キー、その他の制御のために用いられる制御データ）が配置されたTSパケットを分離し、さらに、その内容を解析して、必要な制御データを、CPU1に出力する。

ここで、CPU1は、以上のようにして、DEMUX18から供給されるセクションのデータのうちの復号キーを、デスクランプ13に输出し、同じくDEMUX18から供給されるその他のセクションのデータに基づいて、デスクランプ13を制御する。

DEMUX18は、出力トランSPORTストリームから、制御データ（セクションのデータ）が配置されたTSパケットを分離する他、ユーザが図示せぬリモートコマンダ等を操作することによって選択した番組のビデオデータおよびオーディオデータ（以下、適宜、両方含めてAVデータという）が配置されたパケットも分離して、AVデコーダ19に出力する。AVデコーダ19は、DEMUX18からのTSパケットを、MPEG2デコードし、その結果得られるAVデータを、図示せぬモニタに出力する。これにより、モニタでは、デジタル衛星放送番組としての画像および音声が出力（表示）される。

一方、受信トランSPORTストリームを記録する場合には、スイッチ31は、やはり、そこに入力される2つのトランSPORTストリーム（受信トランSPORTストリームと、トランスマッタ26から供給されるトランSPORTストリーム）のうちの、受信トランSPORTストリームを選択し、出力トランSPORTストリームとして、MVリンクIC16を経由して、DEMUX18に出力する。

DEMUX 18 は、上述したように、出力トランSPORTストリームから、制御データが配置された TS パケットを分離し、その TS パケットに配置された、必要な制御データを分離して、CPU 1 に出力し、CPU 1 は、この制御データに基づいて、デスクランプ 13 を  
5 制御する。これにより、デスクランプ 13 では、いま記録の対象となっている TS パケットを含むトランSPORTストリームのデスクランブルが行われる。

受信トランSPORTストリームは、上述したように、PID パーサ 21 にも供給され、PID パーサ 21 は、そこに供給される受信トランSPORTストリームを構成する TS パケットの PID を参照し、記録の対象となっている番組についての TS パケットだけをレシーバ 22 に供給する（残りの TS パケットは廃棄される）。レシーバ 22 は、サイクルタイマ 27 が output するクロックに基づくタイムスタンプを、PID パーサ 21 からの TS パケットに付加し、入力 FIFO (First In First Out) 23 に供給する。即ち、サイクルタイマ 27 は、所定周波数のクロックを、レシーバ 22 およびトランスマッタ 26 に出力しており、レシーバ 22 は、サイクルタイマ 27 が output するクロックに同期したタイムスタンプを、PID パーサ 21 からの TS パケットに付加して、入力 FIFO 23 に出力する。入力 FIFO 23 は、  
20 レシーバ 22 からの TS パケットを順次記憶し、コントローラ 28 の制御にしたがって、記憶した TS パケットを、その記憶した順に、ハードディスク IF (Interface) 24 に出力する。

ここで、コントローラ 28 は、マイクロコンピュータ（マイコン）を内蔵し、入力 FIFO 23 または出力 FIFO 25 における記憶の  
25 状態 (status) を監視し、それぞれにおけるデータの読み書きを制御するようになっている。また、コントローラ 28 は、ハードディスク I

F 2 4 を制御するようにもなっている。

ハードディスク I F 2 4 は、入力 F I F O 2 3 から T S パケットを受信すると、その T S パケットを、ハードディスクドライブ 1 5 に出力する。ハードディスクドライブ 1 5 では、ハードディスクコントローラ 4 1 において、ハードディスク I F 2 4 からの T S パケットが受信され、ハードディスク 4 2 に記録される。

次に、以上のようにして、ハードディスク 4 2 に記録された T S パケットを再生する場合、ハードディスクコントローラ 4 1 において、ハードディスク 4 2 に記録された T S パケットのシーケンスとしての 10 トランSPORTストリーム（以下、適宜、再生トランSPORTストリームという）が読み出され、ハードディスク制御部 1 4 に出力される。

ハードディスク制御部 1 4 においては、ハードディスク I F 2 4 において、再生トランSPORTストリームが受信され、出力 F I F O 2 15 5 に供給される。出力 F I F O 2 5 は、ハードディスク I F 2 4 からの再生トランSPORTストリームを構成する T S パケットを順次記憶し、コントローラ 2 8 の制御にしたがって、記憶した T S パケットを、その記憶した順に、トランミッタ 2 6 に出力する。

トランミッタ 2 6 は、サイクルタイマ 2 7 から供給されるクロックに同期して、出力 F I F O 2 5 からの T S パケットのシーケンスとしての再生トランSPORTストリームを、スイッチ 3 1 に出力する。即ち、P I D パーサ 2 1 が出力する T S パケットのシーケンスであるトランSPORTストリームを、ハードディスクドライブ 1 5 に記録する場合においては、そのトランSPORTストリームを構成する T S パケ 25 ットどうしの時間間隔が損なわれることがある。そこで、トランミッタ 2 6 は、レシーバ 2 2 が T S パケットに付加したタイムスタン

プを参照し、TSパケットどうしの時間間隔を元の状態に戻すようなタイミングで、TSパケットを、スイッチ31に出力するようになっている。

ハードディスク42に記録されたTSパケットを再生する場合においては、スイッチ31は、トランスマッタ26が出力する再生トランSPORTストリームを選択し、出力トランSPORTストリームとして、MVリンクIC16に出力する。以下、この出力トランSPORTストリームとしての再生トランSPORTストリームは、受信トランSPORTストリームを処理する場合と同様にして、ファイIC17を介して、IEEE1394シリアルバス上をアイソクロナス転送され、あるいは、DEMUX18およびデコーダ19を介して、モニタに出力される。

なお、CPU1は、バス3に接続されており、同じくバス3に接続されたシステムメモリ2に記憶されたプログラムを読み出して実行することで、デスクランプラ13の制御その他の各種の処理を行うようになっている。システムメモリ2は、CPU1に各種の処理を行わせるためのプログラムを記憶している。

また、ハードディスク制御部14を構成するホストIF29は、バス3を介して、CPU1と通信するためのインターフェースとして機能するようになっている。このホストIF29と、上述のハードディスクIF24との間に設けられた入出力バッファ30は、それらの間でやりとりされるデータを、一時記憶するようになっている。

以上から、CPU1は、バス3、ホストIF29、入出力バッファ30、およびハードディスクIF24を介して、ハードディスクドライブ15にアクセスすることができるようになっており、これにより、CPU1は、ハードディスクドライブ15に、ファイルとしてのデ

ータを記録し、また、ハードディスクドライブ15に記録したファイルとしてのデータを読み出すことができるようになっている。

ところで、上述のハードディスクドライブ15におけるデータの記録の最小単位は、セクタと称される。1セクタは、例えば512バイトからなる。さらに、このハードディスクドライブ15は、データにアクセスする際に、ハードディスクドライブ15のアクセスする場所を最小記録単位であるセクタアドレスで指定するように、インターフェイスや使用方法が仕様で統一化されている。ハードディスクドライブ15は、データにアクセスされる際に、セクタアドレスで指定されなければ、コマンドとして受け付けないような構成となっている。

この最小単位のアドレスがLBA(Logical Block Address)と称される、論理的な通し番号で表される。ハードディスクドライブ15にアクセスするコマンドとしては、DMAコントローラによりデータ転送が制御されるDMA(Direct Memory Access)と、CPUによりデータ転送が制御されるPIO(Programmed I/O)とがある。何方の場合でも、アドレス指定にはLBAを用いる必要がある。

上述した従来のデジタル映像放送受信装置においては、トランスポートストリームのようなAV(Audio Visual)ストリームを、DMAによって内蔵しているハードディスクに記録、または、ハードディスクから読み出し再生する場合、ホストCPU(Central Processing Unit)が、ハードディスクへのコマンドの発行、LBAのブロック転送毎の設定、転送開始タイミングの設定などを行う必要がある。そのような処理は、ホストCPUにとって負担となり、パフォーマンスが出せないという問題点があった。

そのため、例えば、AVストリームの記録処理を行っている際、そのストリームを連続して記録することができない可能性があるという

問題点があった。

### 発明の開示

この発明は、このような状況に鑑みてなされたものであり、DMA転送用のレジスタ、LBAを自動設定できる機能を備えることにより

5 、従来ホストCPUで処理していたコマンドの発行、LBAの設定及び転送開始タイミングの設定をDMA側で行い、上述のような、ホストCPUにかかる負担を軽減することを目的とする。

この発明は、上述した課題を解決するために、所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、受信手段

10 により受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出手段と、抽出手段により抽出されたパケットを記憶する記憶手段と、DMA転送を指示するコマンドを生成するためのコマンドバッファと、コマンドバッファにおいて生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、

15 記録装置に対してDMA転送する転送手段とを有することを特徴とする情報処理装置である。

また、この発明は、所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、受信手段により受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出する

20 抽出手段と、抽出手段により抽出されたパケットを記憶する記憶手段と、DMA転送用のアドレス情報を設定するためのコマンドバッファと、設定されたアドレス情報を記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加手段とを有することを特徴とする情報処理装置である。

25 また、この発明は、ハードディスクドライブを内蔵するデジタル放送受信装置において、所定のフォーマットのパケットで構成されるス

トリームを受信する受信手段と、受信手段により受信されたストリームを構成するパケットから、ハードディスクドライブに記録するパケットを抽出する抽出手段と、抽出手段により抽出されたパケットを記憶する記憶手段と、DMA転送を指示するコマンドを生成するための

5 コマンドバッファと、コマンドバッファにおいて生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、ハードディスクドライブに対してDMA転送する転送手段とを有することを特徴とするデジタル放送受信装置である。

また、この発明は、ハードディスクドライブを内蔵するデジタル放送受信装置において、所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、受信手段により受信されたストリームを構成するパケットから、ハードディスクドライブに記録するパケットを抽出する抽出手段と、抽出手段により抽出されたパケットを記憶する記憶手段と、DMA転送用のアドレス情報を設定するためのコマンドバッファと、設定されたアドレス情報を記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加手段とを有することを特徴とするデジタル放送受信装置である。

また、この発明は、所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、受信ステップにより受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、抽出手段により抽出されたパケットを記憶する記憶ステップと、コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、生成ステップにおいて生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、記録装置に対してDMA転送する転送ステップとを有することを特徴とする情報処理方法である。

また、この発明は、所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、受信ステップにより受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、抽出ステップにより抽出されたパケットを記憶する記憶ステップと、コマンドバッファによってDMA転送用のアドレス情報を設定する設定ステップと、設定されたアドレス情報を記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加ステップとを有することを特徴とする情報処理方法である。

10 また、この発明は、所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、受信ステップにより受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、抽出手段により抽出されたパケットを記憶する記憶ステップと、コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、生成ステップにおいて生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、記録装置に対してDMA転送する転送ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体である。

15 また、この発明は、所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、受信ステップにより受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、抽出ステップにより抽出されたパケットを記憶する記憶ステップと、コマンドバッファによってDMA転送用のアドレス情報を設定する設定ステップと、設定されたアドレス情報を記憶手段から読み出されたパケットの所定データ量（ブロック）ごと

に付加する付加ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体である。

上述したように、この発明は、所定のフォーマットのパケットで構成されるストリームを受信し、受信されたストリームを構成するパケットから抽出された、記録装置に記録するパケットが記憶され、コマンドバッファにおいて生成されたDMA転送を指示するコマンドに従って、パケットを所定のデータ量のブロックとして、記録装置に対してDMA転送するようにしているため、ホストCPUにかかる負担が軽減される。

また、この発明は、所定のフォーマットのパケットで構成されるストリームを受信し、受信されたストリームを構成するパケットから抽出された、記録装置に記録するパケットを記憶手段に記憶し、コマンドバッファにより設定されたDMA転送用のアドレス情報を記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加するようにしているため、ホストCPUにかかる負担が軽減される。

#### 図面の簡単な説明

第1図は、ハードディスクドライブを内蔵させたデジタル衛星放送受信装置の構成例を示すブロック図、第2図は、本発明を適用したデジタル衛星放送受信装置の一実施の形態の構成例を示すブロック図、  
第3図は、第2図のハードディスク制御部の構成例を示すブロック図、  
第4図は、第3図のDMAコントローラの構成を示すブロック図、  
第5図は、第4図のコマンドセルの構成を示すブロック図、第6図は、第5図のLBA決定部の構成を示すブロック図、第7図は、DMAコントローラの機能ブロック図、第8図は、DMAコントローラの書き込み動作を説明するフローチャート、第9図は、DMAコントローラの読み出し動作を説明するフローチャート、第10図は、読み出し

のタイミングについて説明する図、第11図は、DMAコントローラのDMA転送の際に行われる動作を説明するフローチャート、第12図は、レジスタについて説明する図、第13図は、レジスタについて説明する図、第14図は、媒体を説明する図である。

## 5 発明を実施するための最良の形態

第2図は、本発明が適用されたデジタル衛星放送受信装置の一実施形態の構成を示している。なお、図中、上述した第1図と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、第2図のデジタル衛星放送受信装置は、第1図に示されるハードディスク制御部14に替えて、ハードディスク制御部50が設けられている他は、第1図のデジタル衛星放送受信装置と同様に構成されている。

第3図は、第2図のハードディスク制御部50の構成例を示している。なお、図中、第1図のハードディスク制御部14における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

デスクランプラ13からの受信トランSPORTストリームは、スイッチ31および入力PIDパーサ51に供給されるようになっている。入力PIDパーサ51は、デスクランプラ13からの受信トランSPORTストリームを構成するTSパケットから、記録のみをすべきであるTSパケット（以下、適宜、記録用パケットという）、記録すると共に、制御に用いるTSパケット（以下、適宜、記録／制御用パケットという）、制御にのみ用いるTSパケット（以下、適宜、制御用パケットという）、および廃棄すべきTSパケット（以下、適宜、廃棄用パケットという）を抽出し、記録用パケットおよび記録／制御用パケットをタイムスタンプ付加部56に出力すると共に、制御用パケ

ットをMUX 5 3に出力するようになっている。さらに、入力P I Dパーサ5 1は、廃棄用パケットを廃棄するようになっている。

出力P I Dパーサ5 2は、タイムスタンプ検出部5 4が出力する、ハードディスクドライブ1 5から再生された再生トランSPORTストリームを受信し、その再生トランSPORTストリームを構成するT Sパケットから、再生すべきT Sパケット（以下、適宜、再生用パケットという）と、廃棄すべきT Sパケット（廃棄用パケット）とを抽出するようになっている。さらに、出力P I Dパーサ5 2は、再生用T Sパケットを、MUX 5 3に出力するとともに、廃棄用パケットを廃棄するようになっている。  
10

また、出力P I Dパーサ5 2は、MUX 5 3と通信することにより、入力P I Dパーサ5 1がMUX 5 3に出力するT SパケットとP I Dが等しい再生用T Sパケットを検出し、その再生用T SパケットのP I Dを、異なるP I Dに変更するようになっている。MUX 5 3は、入力P I Dパーサ5 1が出力するT Sパケットと、出力P I Dパーサ5 2が出力するT Sパケットとを多重化し、スイッチ3 1に出力するようになっている。

タイムスタンプ付加部5 6および入力タイマー5 7は、第1図のサイクルタイマ2 7およびレシーバ2 2と同様の処理、即ち、タイムスタンプ付加部5 6は、入力タイマー5 7が出力するクロックに基づくタイムスタンプを入力されたT Sパケットに付加する。タイムスタンプ付加部5 6によりタイムスタンプが付加されたT Sパケットは、アービター5 8に入力される。アービター5 8に入力されたT Sパケットは、SDRAMコントローラ5 9の制御の下、SDRAM 6 0の入力F I F O 6 1に記憶される。SDRAMコントローラ5 9は、F I F Oコントローラ6 3の指示により、SDRAM 6 0の入力F I F O

61と出力FIFO 62のパケットの書き込み、および読み出しを制御する。

入力FIFO 61に記憶されたTSパケットは、SDRAMコントローラ59の制御の下で読み出され、アービター58を介してインデックス付加部64に出力される。インデックス付加部64は、ハードディスクのアドレスを示すLBAとその他の制御のために有効な情報をインデックスとして付加し、セレクタ67に出力する。セレクタ67には、バスインターフェース29を介して入力されたデータや、DMAコントローラ68からのコマンドなども入力される。セレクタ67は、入力されたTSパケット、データ、コマンドなどを選択し、所定の装置に出力する。例えば、インデックス付加部64から出力され、セレクタ67に入力されたTSパケットは、ハードディスクIF24に出力され、さらに、ハードディスクドライブ15に出力され、記録される。

15 このようにしてハードディスクドライブ15に記録されTSパケットを再生する場合、ハードディスクコントローラ41において、ハードディスク42に記録されたTSパケットのシーケンスとしての再生トランSPORTストリームが読み出され、ハードディスク制御部50に出力される。ハードディスク制御部50に、ハードディスクIF24を介して入力された再生トランSPORTストリームは、セレクタ67を介してインデックス検出部66に出力される。

インデックス検出部66は、入力された再生トランSPORTストリームから、インデックス付加部64において付加されたインデックスを検出する。検出されたインデックスは、DMAコントローラ68内のレジスタに記憶され、DMAコントローラ68は、その記憶されたインデックスをもとに、DMAコントローラ68を制御することも可

能である。

インデックス検出部 6 6 によりインデックスが検出され、インデックスが取り除かれた再生トランSPORTストリームは、アービター 5 8、 SDRAMコントローラ 5 9 を介して、 SDRAM 6 0 の出力 F 5 I F O 6 2 に、一旦記憶される。出力 F I F O 6 2 に記憶された再生トランSPORTストリームは、 SDRAMコントローラ 5 9 の制御の下、アービター 5 8 に読み出され、さらに、タイムスタンプ検出部 5 4 に出力される。タイムスタンプ検出部 5 4 に入力された再生トランSPORTストリームは、タイムスタンプが検出され、そのタイムスタンプに従って、出力 P I D パーサ 5 2 に出力される。さらに、上述したような処理が、 MUX 5 3 およびスイッチ 3 1 により行われることにより、 M V L i n k - I C 1 6 に出力される。

なお、 C R C 6 9 は、ハードディスク 1 5 とやりとりされるデータについて、 C R C (Cyclic Redundancy Check) を用いてデータのチェックを行う。

第 4 図は、 DMAコントローラ 6 8 の内部構成を示す図である。バスインターフェース 2 9 とは、 DMAコントローラ 6 8 内の内部バス 8 1 が接続されている。内部バス 8 1 には、コマンドセル 8 2 、コマンドセル 8 2 を制御するコマンドアービター 8 3 、ホスト C P U である C P U 1 を介してデータを授受する際の動作を制御する P I O (Programmed I/O) ステートマシーン 8 4 、および DMA 転送する際のデータをバッファリングするホストデータ DMA バッファ 8 5 が接続されている。

DMAステートマシーン 8 6 は、コマンドセル 8 2 と連携し、 DMA 転送を実行するためのレジスタやコマンドの準備を行う。 I D E (Intelligent Drive Electronics) ステートマシーン 8 7 は、 I D E ド

ライブにより接続されるハードディスクドライブ 15 の制御を行うものである。PIO ステートマシーン 84、DMA ステートマシーン 86、および IDE ステートマシーン 87 は、互いにコントロール線が張られており、それぞれのステートマシーンが、状況に応じた制御を 5 行えるようになっている。

PIO ステートマシーン 84 と、DMA ステートマシーン 86 から出力された信号は、セレクタ 88 に供給され、どちらか一方の信号が、論理積回路 89 に供給される。論理積回路 89 には、IDE ステートマシーン 87 からの信号も供給され、それらの供給された信号から 10 論理積がとられ、その結果が、内部バス 91 に出力される。内部バス 91 には、IDE ステートマシーン 87 からのコントロール線も張られており、IDE のコントロール信号も供給される。

さらに、内部バス 91 には、セレクタ 90 からの信号も供給される。セレクタ 90 は、PIO ステートマシーン 84 からのデータ、DMA 15 ステートマシーン 86 からのデータ、または、FIFO コントローラ 63 からのデータの内、1つを選択し、内部バス 91 に出力する。

第 5 図は、コマンドセル 82 の内部構成を示す図である。内部バス 101 には、ホストコマンドバッファ 102 とホストデータコマンドバッファ 103 が接続されている。詳細は後述するが、ホストコマンドバッファ 102 と LBA 決定部 104 から出力されるデータから、後段のネクストコマンドバッファ 105 に記憶されるデータが生成される。ネクストコマンドバッファ 105 に記憶されたデータは、新たなデータが入力されると、記憶されていたデータをカレントコマンドバッファ 106 に出力し、記憶させる。同様に、カレントコマンドバッファ 106 に新たなデータ入力されると、記憶されていたデータは、プレビアスコマンドバッファ 107 に出力され、記憶される。

コマンドセル 82 は、PIO アクセスにて DMA 転送を初期化するためのホストコマンドバッファ 102 をもち、カレントの DMA 転送が終了する毎に、コマンドバッファの内容を移行する FIFO 的な役割を持っている。なお、各コマンドバッファは、書き込み用と読み出  
5 し用、それぞれ用意する必要があるが、第 5 図においては、1 つしか書き表していない。この FIFO 的な構成のコマンドバッファにより、ネクスト、カレント、プレビアスの LBA をインデックスとして 1 クラスタ毎の付加が可能となる。

カレント LBA は、その時点で処理されているブロックが記録される先頭の LBA を示し、プレビアスの LBA は、ブロック N の直前に位置するブロックの先頭の LBA を示し、ネクスト LBA は、ブロック N の直後に位置するブロックの先頭の LBA を示す。

ネクストコマンドバッファ 105、カレントコマンドバッファ 106、および、プレビアスコマンドバッファ 107 に記憶されたデータ  
15 は、それぞれ、セレクタ 108 に供給される。セレクタ 108 には、ホストデータコマンドバッファ 103 からのデータも供給され、それ  
らの供給されたデータの内から、1 つを選択し、DMA ステートマシ  
ーン 86 へ出力する。この選択されたデータはハードディスクの DMA  
20 転送を起動するために必要な LBA、セクターサイズなどで構成さ  
れており、これらの情報を DMA ステートマシーン 86、IDE ステ  
ートマシーン 87 に供給することによりハードディスクの制御が可能  
25 となる。

第 6 図は、LBA 決定部 104 の内部構成を示す図である。LBA  
決定部 104 は、カウントアップ部 121、LBA 比較用レジスタ 1  
22、および比較部 123 から構成されている。

ここで、上述したような構成をもつ DMA コントローラ 68 を、機

能的なブロックで表すと、第7図のようになる。FIFOの容量によりDMA転送を開始させる制御マシン131は、主に、FIFOコントローラ63とコマンドアービター83から構成される。DMA転送の準備をする制御マシン132は、主に、コマンドセル82やDMA 5ステートマシーン86から構成される。PIOアクセスをつかさどる制御マシン133は、PIOステートマシーン84である。DMA転送をつかさどる制御マシン134は、主に、IDEステートマシーン87から構成され、コマンドバッファ135は、主に、コマンドセル82から構成される。LBA決定回路136は、LBA決定部104 10である。

次に、第8図のフローチャートを参照して、FIFOの容量によりDMA転送を開始させる制御マシン131の動作について説明する。DMA転送は、128kバイト単位で行われるとし、この128kバ 15イト単位を1クラスタと定義する。勿論、1クラスタを128kバイト以下で定義しても良い。

ハードディスクドライブ15に受信したトランSPORTストリームの書き込みを行う場合、ステップS1において、コマンドアービター83は、FIFOコントローラ63を介して、入力FIFO61の所定値以上の容量に、トランSPORTストリームが記憶されているか否 20かを判断する。所定値とは、例えば、入力FIFO61の80%の容量であり、ステップS1においては、80%以上の容量に、既にトランSPORTストリームのデータが書き込まれた状態であるか否かが判断される。

ステップS1において、入力FIFO61の、所定容量以上に、ト 25ランSPORTストリームが記憶されていると判断された場合、ステップS2に進む。ステップS2において、DMA転送開始の指示が、D

MA転送の準備をする制御マシン132に対して出される。また、LBA決定回路136に対して、スタートLBAが供給される。その結果、ステップS3において、DMA転送の準備をする制御マシン132が、ストリームのリード、ライト及びホストデータアクセスの3つの要求のうち、どの要求を許可するか判断を行う。

ステップS4において、ストリームのライトが許可されると、ステップS5に進み、終了ステータスが発行されたか否かが判断される。終了ステータスは、DMA転送の準備をする制御マシン132により発行される。終了ステータスが発行されたと判断されるまで、ステップS5の処理は繰り返され、終了ステータスが発行されたと判断されると、ステップS6に進み、LBAの更新の指示がLBA決定部104に出される。

LBAの更新は、LBA決定部104（LBA決定回路136）により行われる。カウントアップ部121は、スタートLBAが入力されることにより、カウントアップを開始する。カウントアップ部121は、1クラスタ分の転送が終了するたびに、カウントアップし、1クラスタ分のLBAを設定する。LBA比較用レジスタ122は、比較するLBA、その次のLBAとフラグをセットし、フラグが有効である場合に、比較するLBAを次のLBAに置き換えることにより、自動的にセットされる値を変更することが可能であるようにされている。このような機能を設け、トランSPORTストリームの記憶領域の最大LBAを、このレジスタにセットしておくことにより、自動的に、記憶容量の開始LBAに戻すことが可能となる。

このようにして更新されるLBAは、DMAステートマシーン86のみならずインデックス付加部64にも供給され、処理対象となっているトランSPORTストリームがハードディスクドライブ15に記憶

される際に付加される。第8図に示したフローチャートの処理は、受信されたトランSPORTストリームがハードディスクドライブ15に記憶されるときに繰り返し行われる。

第9図は、ハードディスクドライブ15に記憶されているトランSPORTストリームを読み出す際の処理について説明するフローチャートである。基本的に、第9図は、第8図におけるステップS4のストリームのライト許可がストリームのリード許可の処理であるステップS4'に変更されている以外は、第8図のフローチャートを参照して説明した書き込みの際の処理と同様であるので、その説明は省略する。ただし、ステップS1の処理は、出力FIFO62に記憶されているトランSPORTストリームのデータ量が、例えば、所定値として20%以下になったか否かが判断される。所定値以下になったと判断された場合、ステップS2以降の処理に移る。

ここで、ハードディスクドライブ15から読み出されるトランSPORTストリームのデータについて、第10図を参照して説明する。所定のデータに対して、次に読み出すLBAを、既に読み出されたブロックのインデックス情報内にあるネクストLBAの値から読み込みをセットする方法も可能である。また、LBAの自動更新によりセットすることも可能であり、そのような方法の場合、割り込みをインデックス情報の読み込み完了時点でCPU1に通知することにより、第10図に示したタイミングでネクストLBAのダイナミックな変更が可能となる。

第10図において、aはハードディスクドライブ15から読み出されたインデックス内のLBAリンクリストが実際に再生ネクストLBAレジスタ（不図示）にロードされるタイミングである。そのタイミングにて、割り込みを通知することにより、ホストはbにてネクスト

LBA、または、カレントLBAの読み出しを行う。また、ダイナミックに、次に読み出すクラスタのLBAを変更し、飛ばし再生を行いたい場合には、cにて書き込みを行う。dは、出力FIFO62からの、容量の半分ほどを記録されたこと示すデータを参照してDMAコントローラ68がハードディスクドライブ15に自動的にコマンドを発行するタイミングである。

一方、書き込みまたは読み出し用のDMAコマンドバッファにCPU1がLBAを設定し、DMAをコントロールすることも可能である。このような場合、各コマンドセットレジスタに値を設定後、コントロールレジスタの各コマンドExecビットに1を設定することによりコマンドが実行される。また、このとき、設定によりFIFOフラグのトリガにより、上述したようにハードディスクドライブ15とのDMA転送をCPU1の制御によらずに自動的に行うことも可能である。このようなときは、コントロールレジスタの各Validビットが1の時に、コマンドバッファの内容に従って、交互に実行される。

再生時に、データが出力FIFO62に入力されてから何らかの原因により、1クラスタのデータの全てが読み出される前に終了されてしまった場合、出力FIFO62のカレントアドレスポインタを戻し、結果的に廃棄することができる。これにより、エラーが発生した場合でも、CPU1を介在することなくAVストリームの再生正常状態に復帰させることが可能となる。

次に、第11図のフローチャートを参照して、DMA転送の準備をする制御マシン132と、DMA転送の準備をする制御マシン132にコマンドを供給するコマンドバッファ135の動作について説明する。FIFOの容量によりDMA転送を開始させる制御マシン131からの開始の指示により、ステップS21において、ステータスが読

み出される。ステップS 2 2において、読み出されたステータスを基に、アクセス可能であるか否かが判断される。アクセス可能であると判断されるまで、ステップS 2 2の処理が繰り返され、アクセス可能であると判断されると、ステップS 2 3に進む。

5   ステップS 2 3において、デバイス／ヘッド・レジスタが書き込まれる。ここで、レジスタについて説明する。第12図Aは、IDEのレジスタの仕様で、レジスタの一覧を示す図である。第12図A内のコントロール・ブロック・レジスタのうち、デバイス・コントローラは、第12図Bに示すようなレジスタである。

10   第12図A内のコマンド・ブロック・レジスタのうち、データは、第12図Cに示すようなレジスタであり、セクタ・ナンバは、第12図Dに示すようなレジスタである。さらに、第12図A内のコマンド・ブロック・レジスタのうち、シリンド・ローとシリンド・ハイは、第13図Aに示すようなレジスタであり、デバイス／ヘッドは、第13図Bに示すようなレジスタであり、セクタ・カウンタは、第13図Cに示すようなレジスタであり、代替ステータス、ステータスは、第13図Dに示すようなレジスタである。

15   上述したようなレジスタがあり、そのうち、ステップS 2 3においては、デバイス／ヘッド・レジスタが書き込まれる。ステップS 2 4において、ステータスが読み出され、ステップS 2 5において、読み出したステータスの結果、ビジーな状態であるか否かが判断される。ビジーな状態ではないと判断されるまで、ステップS 2 5の処理が繰り返され、ビジーな状態ではないと判断された場合、ステップS 2 6に進む。

20   ステップS 2 6において、シリンド・ロー・レジスタの書き込みが行われ、ステップS 2 7において、シリンド・ハイ・レジスタの書き

込みが行われる。ステップS 28において、セクタ・ナンバ・レジスタの書き込みが行われ、ステップS 29において、セクタ・カウント・レジスタの書き込みが行われる。このようにして、書き込みが順次行われた各レジスタは、ステップS 30において、DMAライト、または、DMAリードのコマンドとして書き込まれる。

DMAライト、またはDMAリードのコマンドを、DMA転送の準備をする制御マシン132は、ステップS 31において、DMA転送をつかさどる制御マシン134に発行し、DMA転送をつかさどる制御マシン134は、受信したコマンドに従って、DMA転送を開始する。ステップS 32において、DMA転送の準備をする制御マシン132は、終了ステータスであるか否かを判断し、終了ステータスであると判断された場合、ステップS 33に進む。

ステップS 33において、DMA転送の準備をする制御マシン132は、終了ステータスを受け、FIFOの容量によりDMA転送を開始させる制御マシン131に対して、DMA転送の終了を知らせるデータを出力する。第11図に示したフローチャートの処理は、DMA転送が開始される毎に、繰り返し行われる。

このように、DMA転送用のコマンドバッファを備え、LBAを更新する機能を備えることにより、ホストCPUの負担を軽減させることが可能となる。また、AVストリームが欠落することなく、録画、再生が可能となる。

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を

実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

この記録媒体は、第14図に示すように、デジタル衛星放送受信装置にドライブ140を設け、そのデジタル衛星放送受信装置とは別に5、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク151（フロッピディスクを含む）、光ディスク152（CD-ROM（Compact Disk-Read Only Memory）、DVD（Digital Versatile Disk）を含む）、光磁気ディスク153（MD（Mini-Disk）を含む）、若しくは半導体メモリ154などよりなる10、パッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記憶されているROMやハードディスク15などでも良い。

なお、本明細書において、媒体により提供されるプログラムを記述するステップは、記載された順序に従って、時系列的に行われる処理15は勿論、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

本発明のデジタル放送受信装置によれば、受信されたAVストリームをDMA転送して記録再生する際に、DMA転送用のコマンドバッファを設けて、転送用のコマンドを生成、LBAを自動的に設定し、20従来ホストCPUで処理していたコマンドの発行、LBAの設定及び転送開始タイミングの設定をDMA側で行うことにより、ホストCPUにかかる負担を軽減することができる。

### 請求の範囲

1. 所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、

前記受信手段により受信された前記ストリームを構成するパケット  
5 から、記録装置に記録するパケットを抽出する抽出手段と、

前記抽出手段により抽出された前記パケットを記憶する記憶手段と

DMA転送を指示するコマンドを生成するためのコマンドバッファ  
と、

10 前記コマンドバッファにおいて生成された前記コマンドに従って、  
前記パケットを所定のデータ量のブロックとして、前記記録装置に対して  
DMA転送する転送手段と  
を有することを特徴とする情報処理装置。

2. 前記DMA転送を指示するコマンドは、前記記憶手段により記憶  
15 された前記パケットのデータ量が、所定の容量に達した場合に生成さ  
れることを特徴とする請求の範囲第1項に記載の情報処理装置。

3. 前記記憶手段は入力FIFOおよび出力FIFOから構成されることを特徴とする請求の範囲第1項に記載の情報処理装置。

4. 前記DMA転送を指示するコマンドは、前記入力FIFOにおいて  
20 記憶された前記パケットのデータ量が、所定の容量以上の場合に生成さ  
れることを特徴とする請求の範囲第3項に記載の情報処理装置。

5. 前記DMA転送を指示するコマンドは、前記出力FIFOにおいて  
記憶された前記パケットのデータ量が、所定の容量以下の場合に生成  
されることを特徴とする請求の範囲第3項に記載の情報処理装置。

25 6. 前記情報処理装置は、さらに直前のブロックが記録されている前  
記記録装置内のアドレス、現在のブロックが記録される前記記録装置

内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記パケットに付加する付加手段を有することを特徴とする請求の範囲第1項に記載の情報処理装置。

5 7. 前記記録装置は、前記情報処理装置に内蔵されたハードディスクドライブであることを特徴とする請求の範囲第1項に記載の情報処理装置。

8. 所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、

10 前記受信手段により受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出手段と、  
前記抽出手段により抽出された前記パケットを記憶する記憶手段と

、  
DMA転送用のアドレス情報を設定するためのコマンドバッファと

15 、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加手段と  
を有することを特徴とする情報処理装置。

9. 前記付加手段は、直前のブロックが記録されている前記記録装置  
20 内のアドレス、現在のブロックが記録される前記記録装置内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記ブロックに付加することを特徴とする請求の範囲第8項に記載の情報処理装置。

10. 前記情報処理装置は、さらに前記設定されたDMA転送用のア  
25 ドレス情報を更新する更新手段を有することを特徴とする請求の範囲  
第8項に記載の情報処理装置。

11. 前記更新手段は、前記アドレス情報を自動設定するための内部カウンタを有することを特徴とする請求の範囲第10項に記載の情報処理装置。

12. 前記アドレス情報は、1ブロックのDMA転送が終了するごとに前記内部カウンタがカウントアップされ1ブロック分のアドレス情報が設定されることを特徴とする請求の範囲第11項に記載の情報処理装置。

13. 前記更新手段は、前記記憶手段により記憶された前記パケットのデータ量が、所定の容量に達した場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第10項に記載の情報処理装置。

14. 前記記憶手段は入力FIFOおよび出力FIFOから構成されることを特徴とする請求の範囲第8項に記載の情報処理装置。

15. 前記情報処理装置は、さらに前記設定されたDMA転送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲第14項に記載の情報処理装置。

16. 前記更新手段は、前記入力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以上の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第15項に記載の情報処理装置。

17. 前記更新手段は、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第15項に記載の情報処理装置。

18. 前記記録装置は、前記情報処理装置に内蔵されたハードディスクドライブであることを特徴とする請求の範囲第8項に記載の情報処

理装置。

19. ハードディスクドライブを内蔵するデジタル放送受信装置において、

所定のフォーマットのパケットで構成されるストリームを受信する  
5 受信手段と、

前記受信手段により受信された前記ストリームを構成するパケット  
から、前記ハードディスクドライブに記録するパケットを抽出する抽出手段と、

前記抽出手段により抽出された前記パケットを記憶する記憶手段と  
10 、

DMA転送を指示するコマンドを生成するためのコマンドバッファ  
と、

前記コマンドバッファにおいて生成された前記コマンドに従って、  
前記パケットを所定のデータ量のブロックとして、前記ハードディス  
15 クドライブに対してDMA転送する転送手段と  
を有することを特徴とするデジタル放送受信装置。

20. 前記DMA転送を指示するコマンドは、前記記憶手段により記  
憶された前記パケットのデータ量が、所定の容量に達した場合に生成  
されることを特徴とする請求の範囲第19項に記載のデジタル放送受  
20 信装置。

21. 前記記憶手段は入力FIFOおよび出力FIFOから構成され  
ることを特徴とする請求の範囲第19項に記載のデジタル放送受信装  
置。

22. 前記DMA転送を指示するコマンドは、前記入力FIFOにお  
25 いて記憶された前記パケットのデータ量が、所定の容量以上の場合に  
生成されることを特徴とする請求の範囲第21項に記載のデジタル放

送受信装置。

23. 前記DMA転送を指示するコマンドは、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合に生成されることを特徴とする請求の範囲第21項に記載のデジタル放

5 送受信装置。

24. 前記情報処理装置は、さらに直前のブロックが記録されている前記記録装置内のアドレス、現在のブロックが記録される前記記録装置内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記パ

10 ケットに付加する付加手段を有することを特徴とする請求の範囲第19項に記載のデジタル放送受信装置。

25. 前記記録装置は、前記情報処理装置に内蔵されたハードディスクドライブであることを特徴とする請求の範囲第19項に記載のデジタル放送受信装置。

15 26. ハードディスクドライブを内蔵するデジタル放送受信装置において、

所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、

前記受信手段により受信された前記ストリームを構成するパケット  
20 から、前記ハードディスクドライブに記録するパケットを抽出する抽出手段と、

前記抽出手段により抽出された前記パケットを記憶する記憶手段と

DMA転送用のアドレス情報を設定するためのコマンドバッファと

25 、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケ

ットの所定データ量（ブロック）ごとに付加する付加手段と  
を有することを特徴とするデジタル放送受信装置。

27. 前記付加手段は、直前のブロックが記録されている前記記録装置内のアドレス、現在のブロックが記録される前記記録装置内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記ブロックに付加することを特徴とする請求の範囲第26項に記載のデジタル放送受信装置。

28. 前記デジタル放送受信装置は、さらに前記設定されたDMA転送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲第26項に記載のデジタル放送受信装置。

29. 前記更新手段は、前記アドレス情報を自動設定するための内部カウンタを有することを特徴とする請求の範囲第28項に記載のデジタル放送受信装置。

30. 前記アドレス情報は、1ブロックのDMA転送が終了するごとに前記内部カウンタがカウントアップされ1ブロック分のアドレス情報が設定されることを特徴とする請求の範囲第29項に記載のデジタル放送受信装置。

31. 前記更新手段は、前記記憶手段により記憶された前記パケットのデータ量が、所定の容量に達した場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第28項に記載のデジタル放送受信装置。

32. 前記記憶手段は入力FIFOおよび出力FIFOから構成されることを特徴とする請求の範囲第26項に記載のデジタル放送受信装置。

33. 前記デジタル放送受信装置は、さらに前記設定されたDMA転

送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲第32項に記載のデジタル放送受信装置。

34. 前記更新手段は、前記入力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以上の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第33項に記載のデジタル放送受信装置。

35. 前記更新手段は、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第33項に記載のデジタル放送受信装置。

36. 前記記録装置は、前記情報処理装置に内蔵されたハードディスクドライブであることを特徴とする請求の範囲第26項に記載のデジタル放送受信装置。

37. 所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出手段により抽出された前記パケットを記憶する記憶ステップと、

20 コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、

前記生成ステップにおいて生成された前記コマンドに従って、前記パケットを所定のデータ量のブロックとして、前記記録装置に対してDMA転送する転送ステップと

25 を有することを特徴とする情報処理方法。

38. 所定のフォーマットのパケットで構成されるストリームを受信

する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出ステップにより抽出された前記パケットを記憶する記憶ステップと、

コマンドバッファによってDMA転送用のアドレス情報を設定する設定ステップと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加ステップと

を有することを特徴とする情報処理方法。

39. 所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出手段により抽出された前記パケットを記憶する記憶ステップと、

コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、

前記生成ステップにおいて生成された前記コマンドに従って、前記

パケットを所定のデータ量のブロックとして、前記記録装置に対してDMA転送する転送ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

40. 所定のフォーマットのパケットで構成されるストリームを受信

する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケ

ットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出ステップにより抽出された前記パケットを記憶する記憶ステップと、

コマンドバッファによってDMA転送用のアドレス情報を設定する

5 設定ステップと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加ステップと  
を含むことを特徴とするコンピュータが読み取り可能なプログラムが  
記録されている記録媒体。

## 補正書の請求の範囲

[2001年3月30日(30. 03. 01)国際事務局受理:出願当初の請求の範囲39及び40は取り下げられた;出願当初の請求の範囲24-38は補正された;他の請求の範囲は変更なし。(5頁)]

23. 前記DMA転送を指示するコマンドは、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合に生成されることを特徴とする請求の範囲第21項に記載のデジタル放送受信装置。

24. (補正後) 前記情報処理装置は、さらに直前のブロックが記録されている前記ハードディスクドライブ内のアドレス、現在のブロックが記録される前記ハードディスクドライブ内のアドレス、または、直後のブロックが記録される前記ハードディスクドライブ内のアドレスのうち、少なくとも1つを含むアドレス情報を、前記パケットに附加する付加手段を有することを特徴とする請求の範囲第19項に記載のデジタル放送受信装置。

25. (補正後) ハードディスクドライブを内蔵するデジタル放送受信装置において、

10 所定のフォーマットのパケットで構成されるストリームを受信する受信手段と、  
前記受信手段により受信された前記ストリームを構成するパケットから、前記ハードディスクドライブに記録するパケットを抽出する抽出手段と、

15 前記抽出手段により抽出された前記パケットを記憶する記憶手段と、  
DMA転送用のアドレス情報を設定するためのコマンドバッファと、  
前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量(ブロック)ごとに付加する付加手段と、  
20 を有することを特徴とするデジタル放送受信装置。

26. (補正後) 前記付加手段は、直前のブロックが記録されている前記ハードディスクドライブ内のアドレス、現在のブロックが記録される前記ハードディスクドライブ内のアドレス、または、直後のブロックが記録される前記ハードディスクドライブ内のアドレスのうち、  
5 少なくとも1つを含むアドレス情報を、前記ブロックに付加することを特徴とする請求の範囲第25項に記載のデジタル放送受信装置。

27. (補正後) 前記デジタル放送受信装置は、さらに前記設定されたDMA転送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲第25項に記載のデジタル放送受信装置。

10 28. (補正後) 前記更新手段は、前記アドレス情報を自動設定するための内部カウンタを有することを特徴とする請求の範囲第27項に記載のデジタル放送受信装置。

29. (補正後) 前記アドレス情報は、1ブロックのDMA転送が終了するごとに前記内部カウンタがカウントアップされ1ブロック分の  
15 アドレス情報が設定されることを特徴とする請求の範囲第28項に記載のデジタル放送受信装置。

30. (補正後) 前記更新手段は、前記記憶手段により記憶された前記パケットのデータ量が、所定の容量に達した場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第27項に  
20 記載のデジタル放送受信装置。

31. (補正後) 前記記憶手段は入力FIFOおよび出力FIFOから構成されることを特徴とする請求の範囲第25項に記載のデジタル放送受信装置。

32. (補正後) 前記デジタル放送受信装置は、さらに前記設定されたDMA転送用のアドレス情報を更新する更新手段を有することを特徴とする請求の範囲第31項に記載のデジタル放送受信装置。

33. (補正後) 前記更新手段は、前記入力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以上の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第32項に記載のデジタル放送受信装置。

5 34. (補正後) 前記更新手段は、前記出力FIFOにおいて記憶された前記パケットのデータ量が、所定の容量以下の場合、前記DMA転送用のアドレス情報を更新することを特徴とする請求の範囲第32項に記載のデジタル放送受信装置。

35. (補正後) 所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出手段により抽出された前記パケットを記憶する記憶ステップと、

15 コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、

前記生成ステップにおいて生成された前記コマンドに従って、前記パケットを所定のデータ量のブロックとして、前記記録装置に対してDMA転送する転送ステップと

20 を有することを特徴とする情報処理方法。

36. (補正後) 所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

25 前記抽出ステップにより抽出された前記パケットを記憶する記憶ステップと、

コマンドバッファによってDMA転送用のアドレス情報を設定する設定ステップと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加ステップと

5 を有することを特徴とする情報処理方法。

37.（補正後）所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

10 前記抽出手段により抽出された前記パケットを記憶する記憶ステップと、

コマンドバッファによってDMA転送を指示するコマンドを生成する生成ステップと、

前記生成ステップにおいて生成された前記コマンドに従って、前記  
15 パケットを所定のデータ量のブロックとして、前記記録装置に対して  
DMA転送する転送ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが  
記録されている記録媒体。

38.（補正後）所定のフォーマットのパケットで構成されるストリームを受信する受信ステップと、

前記受信ステップにより受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出ステップにより抽出された前記パケットを記憶する記憶ステップと、

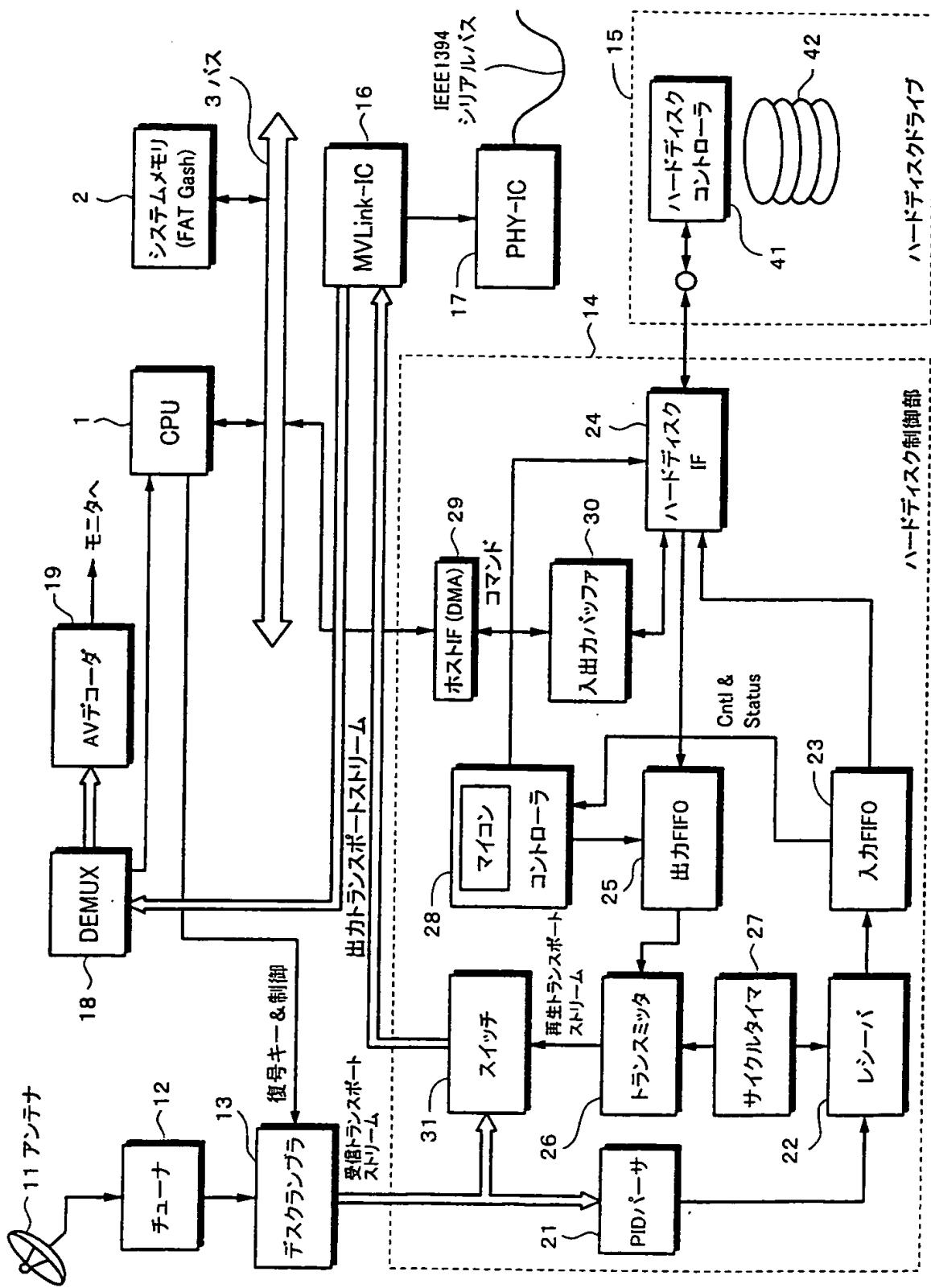
25 コマンドバッファによってDMA転送用のアドレス情報を設定する設定ステップと、

前記設定されたアドレス情報を前記記憶手段から読み出されたパケットの所定データ量（ブロック）ごとに付加する付加ステップとを含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

5 39. (削除)

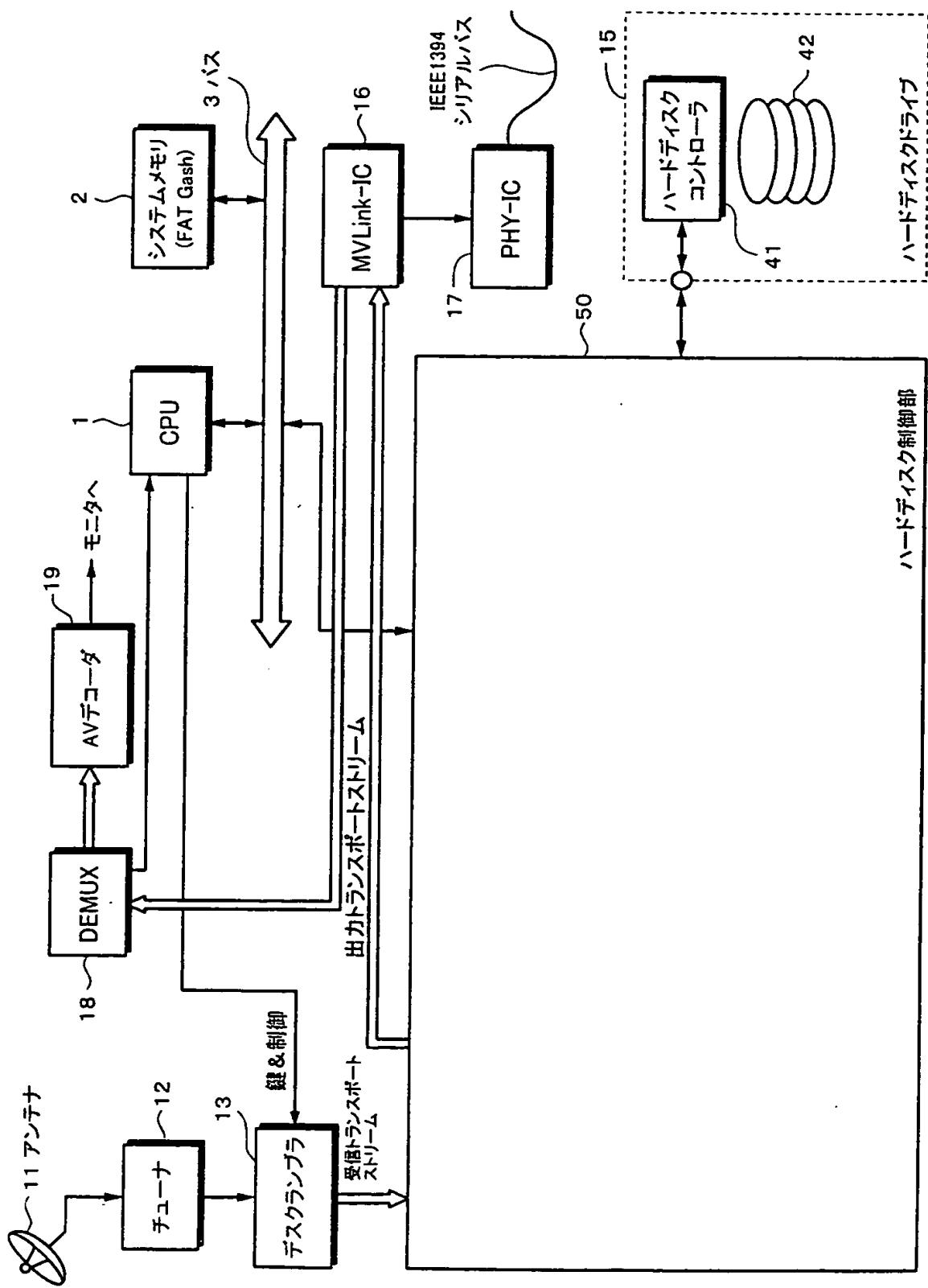
40. (削除)

圖一第



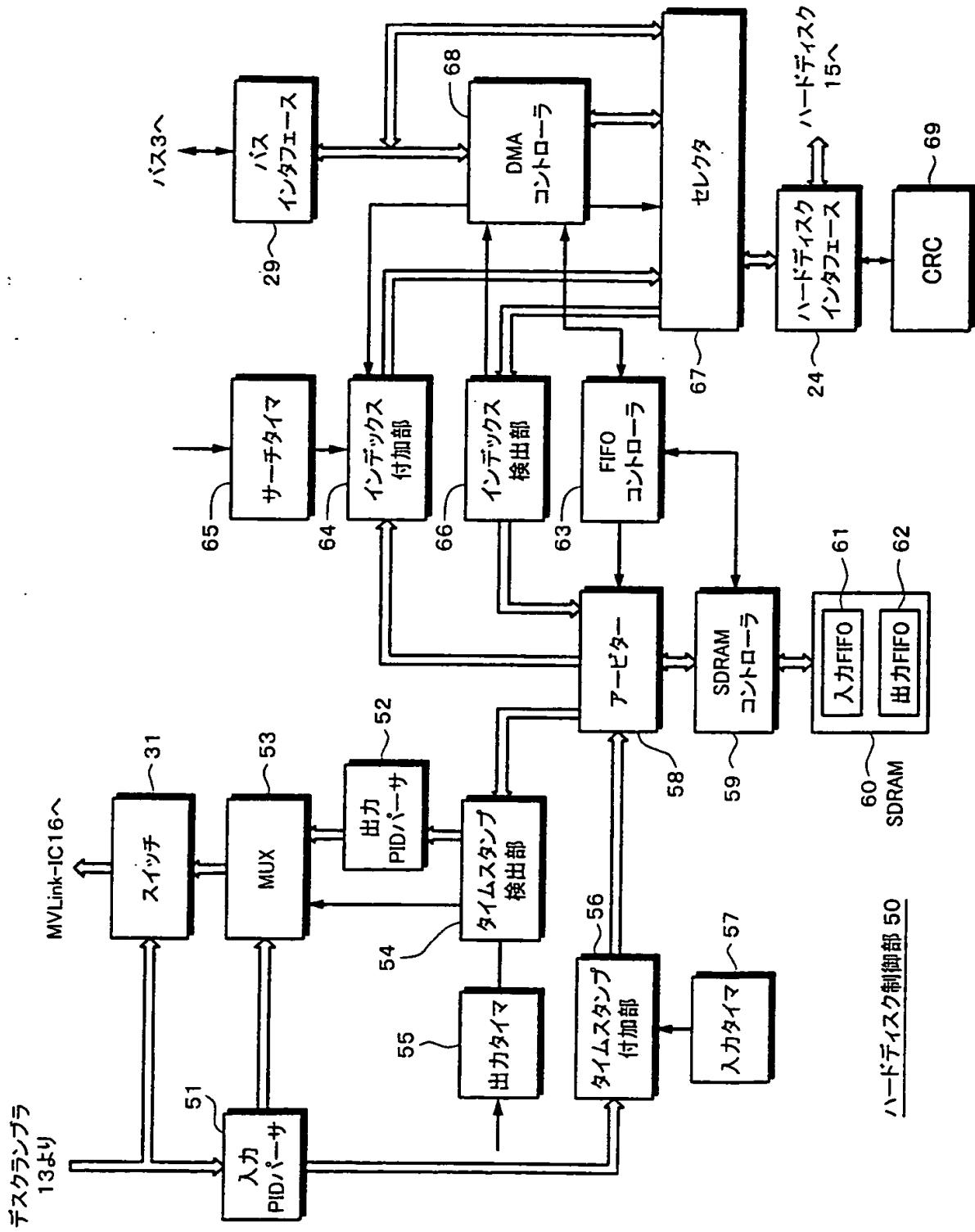
**THIS PAGE BLANK (USPTO)**

四  
第2



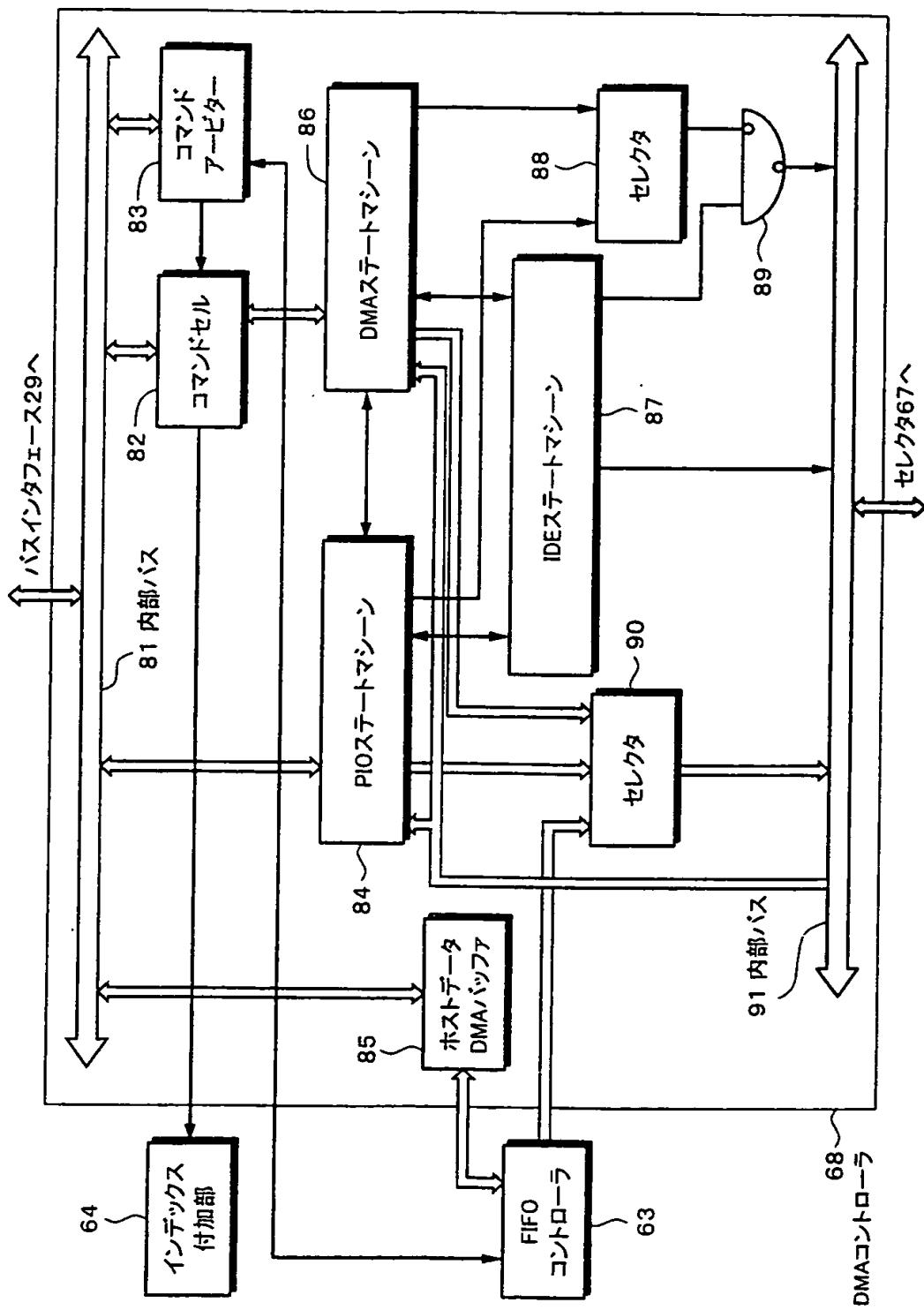
**THIS PAGE BLANK (USPTO)**

第3図



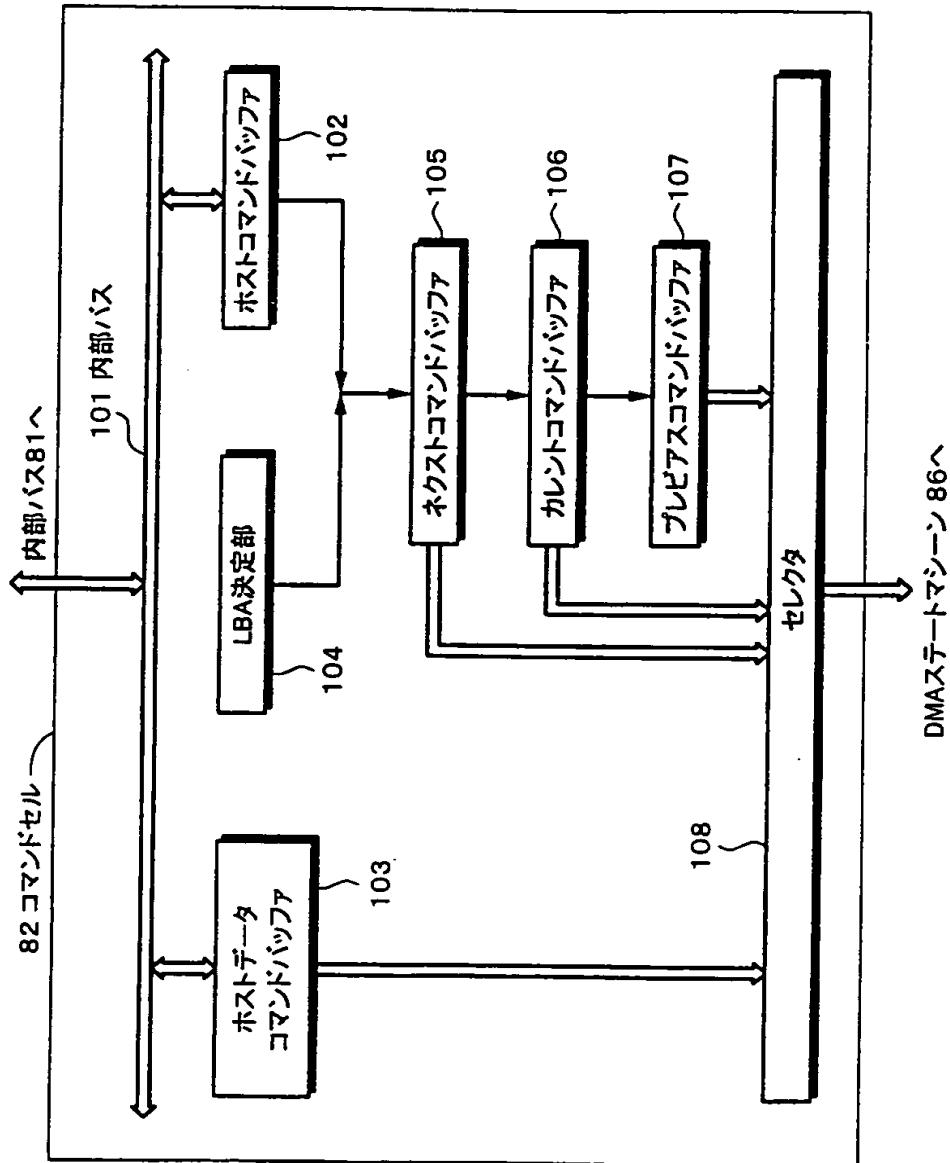
**THIS PAGE BLANK (USPTO)**

第4図



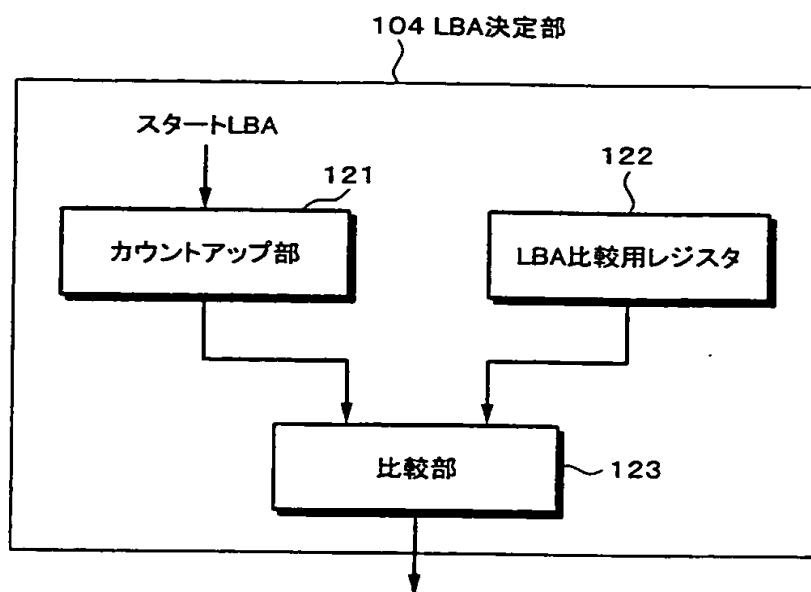
**THIS PAGE BLANK (USPTO)**

第五章

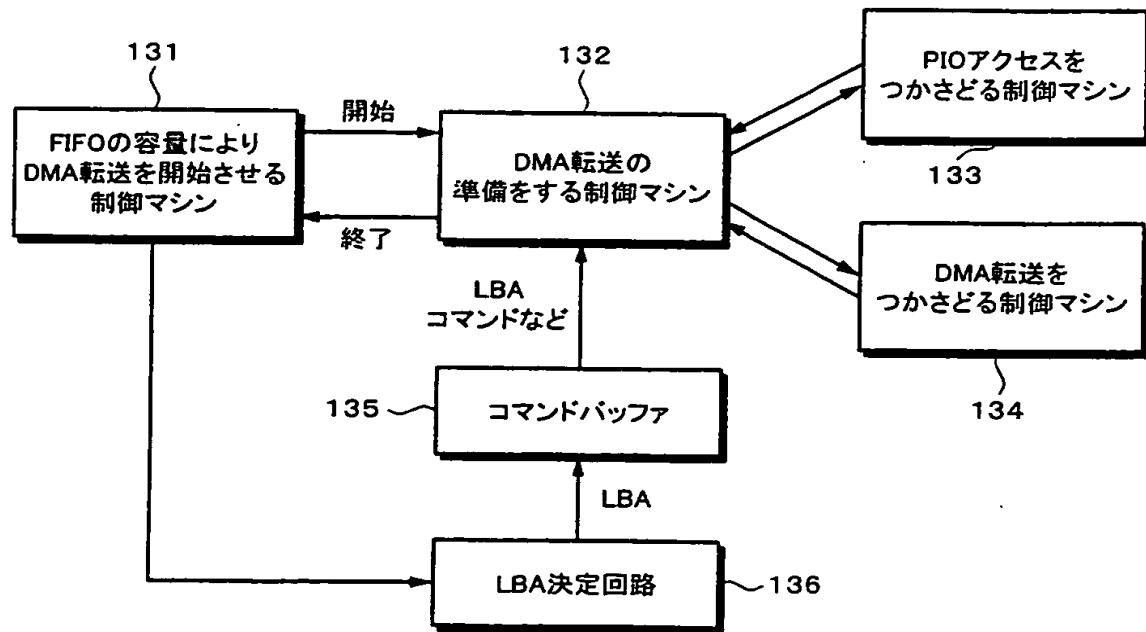


**THIS PAGE BLANK (USPTO)**

## 第6図

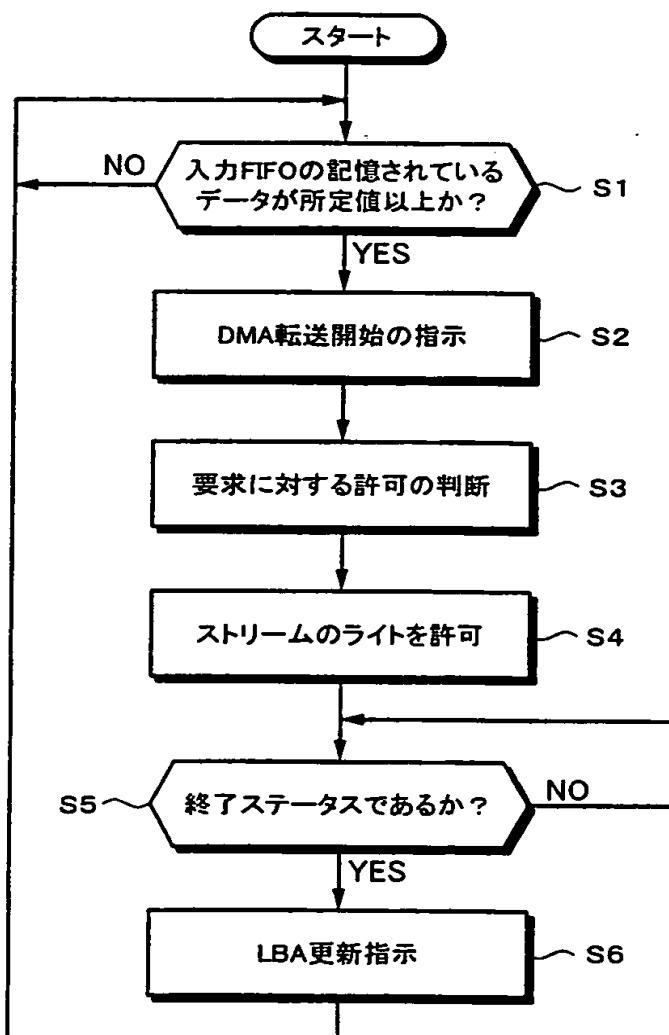


## 第7図



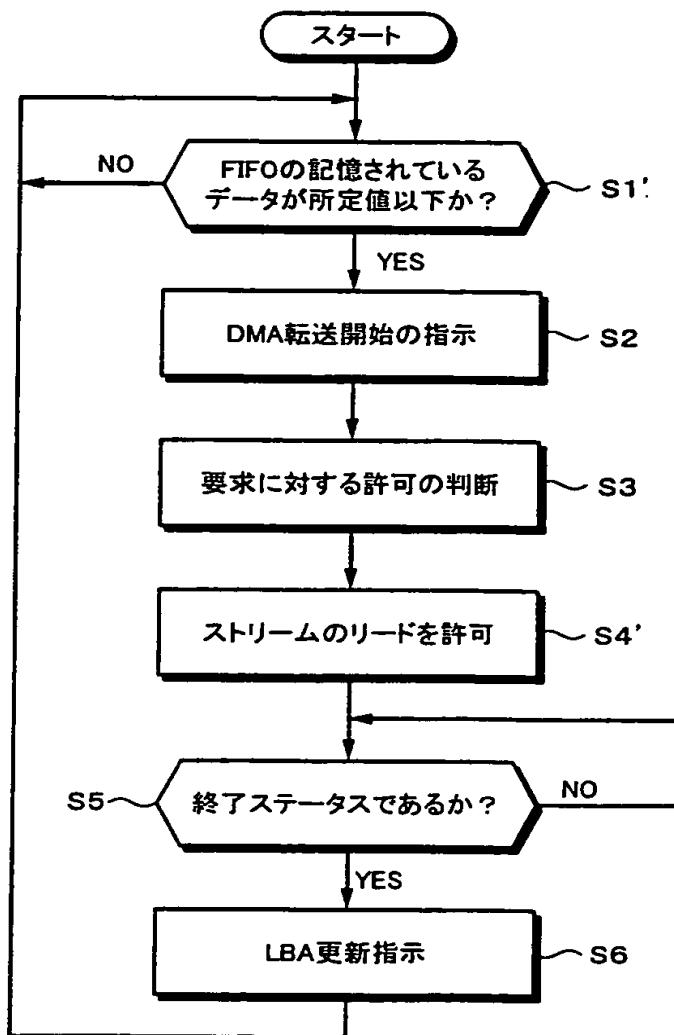
**THIS PAGE BLANK (USPTO)**

## 第8図



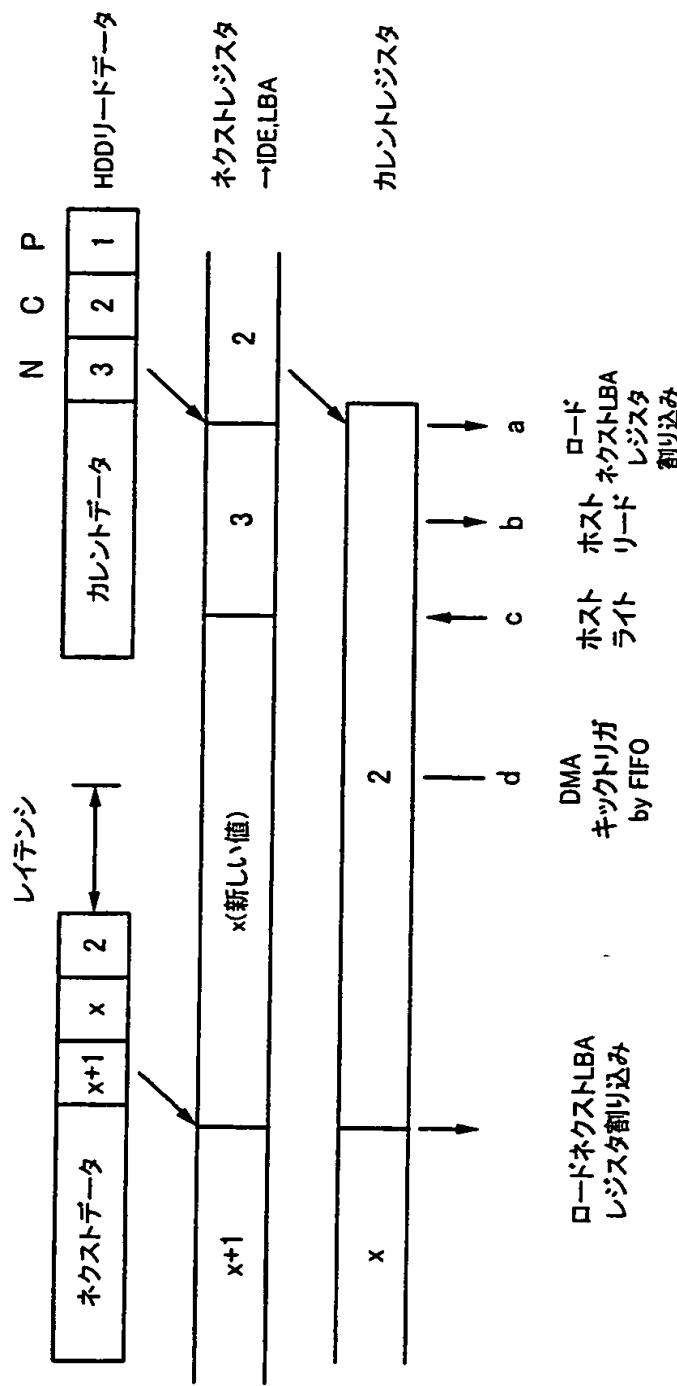
**THIS PAGE BLANK (USPTO)**

## 第9図



**THIS PAGE BLANK (USPTO)**

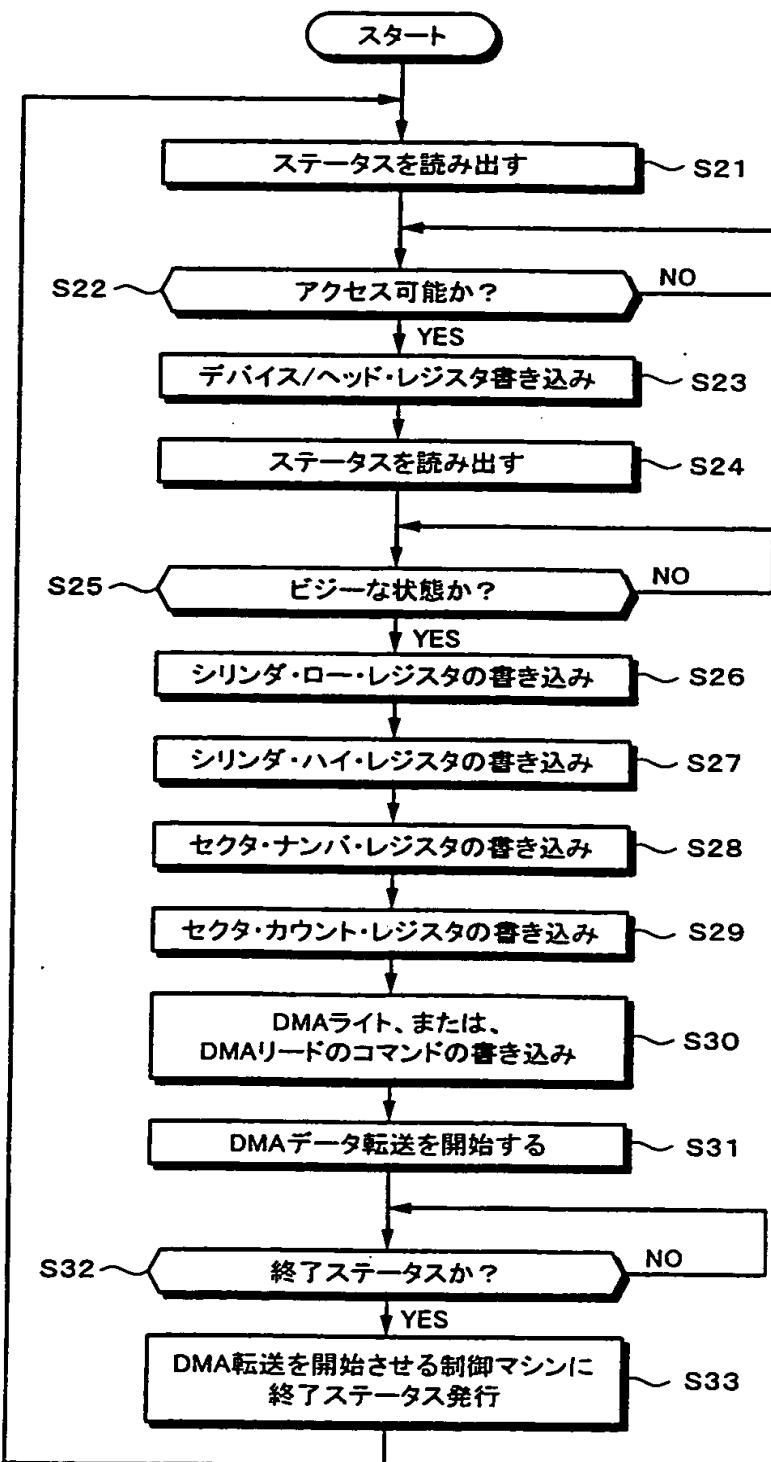
第一〇四



N:ネクストLBAアドレス  
C:カレントLBAアドレス  
P:プレビアスLBAアドレス

**THIS PAGE BLANK (USPTO)**

## 第11図



**THIS PAGE BLANK (USPTO)**

アドレス(注1)						レジスタ					
CS1-	CS0-	DA2	DA1	DA0		ライト					リード
コントロール・ブロック・レジスタ											
L	H	H	H	L		デバイス・コントロール					代替ステータス
L	H	H	H	H		使用しない					ドライブ・アドレス
コマンド・ブロック・レジスタ											
H	L	L	L	L	L	データ					エラー
H	L	L	L	H	H	フィーチャ					
H	L	L	H	L	L	セクタ・カウント					
H	L	L	H	H	H	セクタ・ナンバ					
H	L	H	L	L	L	シリンド・ロー					
H	L	H	L	H	H	シリンド・ハイ					
H	L	H	H	L	L	デバイス・ヘッド					
H	L	H	H	H	H	コマンド					ステータス

注1:CS0,CS1=は負論理のため L=アサート、H=ネゲート

## 第1 2図 B

b7	b6	b5	b4	b3	b2	b1	b0	SRST:ソフトウェア・リセット							
予約	予約	予約	予約	予約	SRST	nEN	0	nEN:割り込み許可(負論理)							
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0

データ・バイト1(16ビット・アクセス時)  
データ・バイト0(16ビット・アクセス時)  
使用しない(8ビットアクセス時)  
データ・バイト(8ビットアクセス時)

## 第1 2図 C

b7	b6	b5	b4	b3	b2	b1	b0
セクタ番号(CHSモード)							
LBA'ビット(LBAモード)							

## 第1 2図 D

**THIS PAGE BLANK (USPTO)**

第13図A

シリンドラ・ハイ・レジスタ							
b7	b6	b5	b4	b3	b2	b1	b0
シリンドラ番号(CHSモード)							
LBAビット(LBAモード)							

第13図B

シリンドラ番号(CHSモード)							
b7	b6	b5	b4	b3	b2	b1	b0
予約	L	予約	DEV	ヘッド番号(CHSモード)			
L				LBAビット(LBAモード)			

L : LBAモード選択

DBA : デバイス・アドレス

第13図C

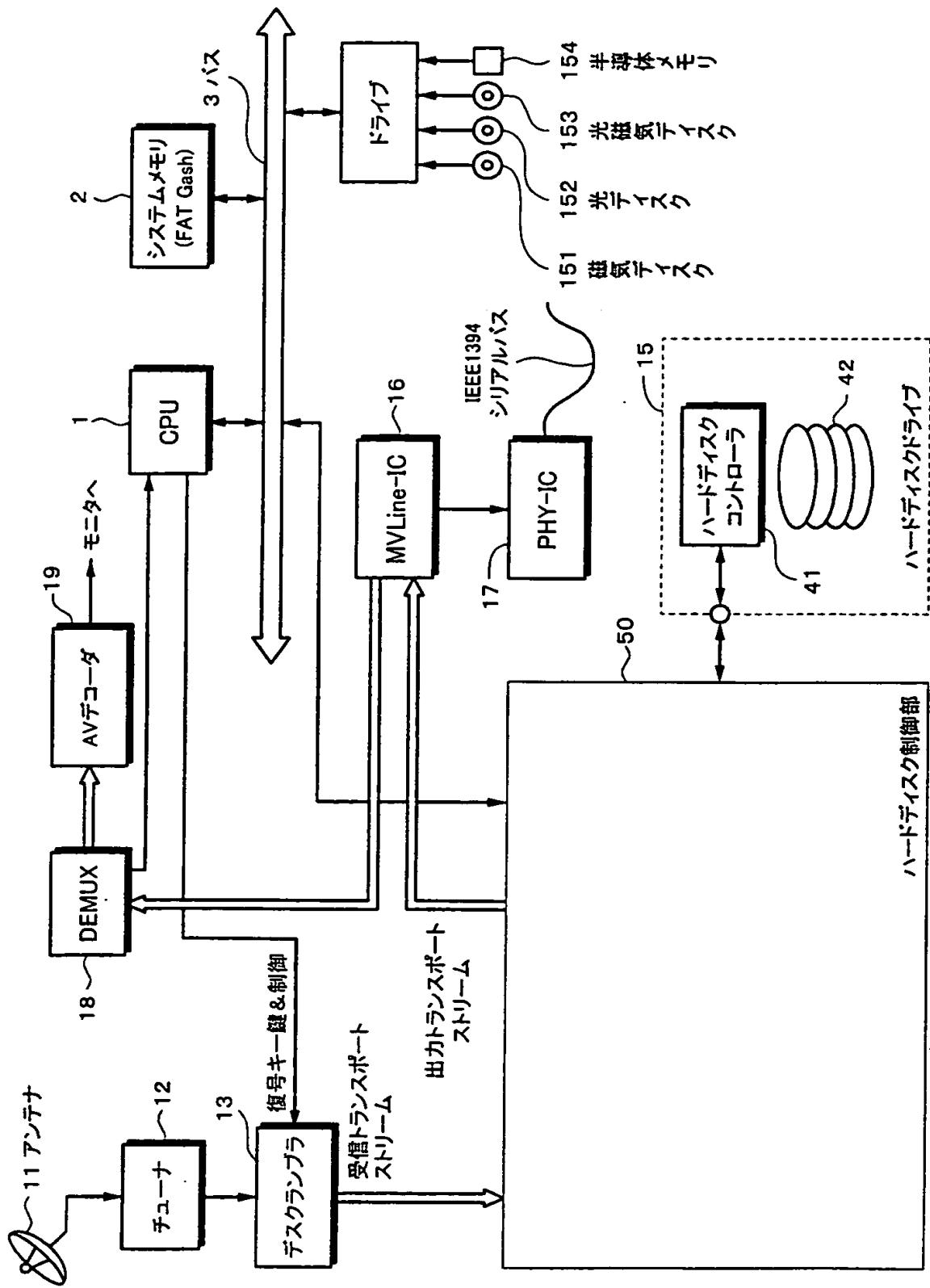
セクタ数							
b7	b6	b5	b4	b3	b2	b1	b0

第13図D

データ・リクエスト							
BSY	ビジー(アクセス禁止)	DRQ	データ・リクエスト				
DRDY	デバイス・レディ	CORR	データ修正済み				
DF	デバイス・フォールト	IDX	インデックス検出				
DSC	デバイス・シーケンサー	ERR	エラー発生				

**THIS PAGE BLANK (USPTO)**

第一四四



**THIS PAGE BLANK (USPTO)**

## 符号の説明

- 1 C P U
- 1 5 ハードディスクドライブ
- 5 8 アービター
- 6 1 入力F I F O
- 6 2 出力F I F O
- 6 8 DMAコントローラ
- 8 2 コマンドセル
- 1 0 4 L B A決定部
- 1 0 5 ネクストコマンドバッファ
- 1 0 6 カレントコマンドバッファ
- 1 0 7 プレビアスコマンドバッファ

**THIS PAGE BLANK (USPTO)**